

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-032337

(43)Date of publication of application : 03.02.1998

(51)Int.Cl.

H01L 29/786
G02F 1/1345
G02F 1/136

(21)Application number : 08-183686

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 12.07.1996

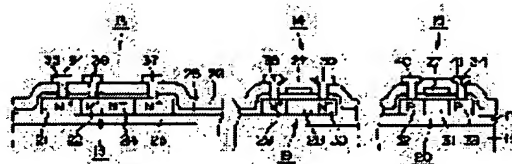
(72)Inventor : INOUE SATOSHI

(54) THIN-FILM TRANSISTOR AND SEMICONDUCTOR INTEGRATED CIRCUIT AND LIQUID CRYSTAL DISPLAY USING THE TRANSMITTER AND MANUFACTURE OF THIN-FILM TRANSISTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a thin-film transistor, which can obtain the sufficient current driving capability without the requirement for a large occupied area.

SOLUTION: On a glass substrate 16, a ground insulating film 17 comprising a silicon oxide film and polycrystal line silicon thin films 18, 19 and 20 are sequentially formed. Then, at the part of a bipolar TFT 13, an N-type emitter regions 21, a P-type base region 22 and an N-type collector region 23 are formed on the polycrystalline silicon thin film 18 in the aligning pattern in the lateral direction, and the NPN-type bipolar transistor is constituted. Furthermore an N- region 24, whose concentration is lower than the collector region 23, is formed between the base region 22 and the collector region 23.



LEGAL STATUS

[Date of request for examination] 27.02.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or withdrawal]

application converted registration]

[Date of final disposal for application] 16.07.2004

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-32337

(43) 公開日 平成10年(1998) 2月3日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786			H 0 1 L 29/78	6 1 3 A
G 0 2 F 1/1345			G 0 2 F 1/1345	
1/136	5 0 0		1/136	5 0 0
			H 0 1 L 29/78	6 1 3 Z
				6 2 2
審査請求 未請求 請求項の数13 O L (全 7 頁)				

(21) 出願番号 特願平8-183686

(22) 出願日 平成8年(1996) 7月12日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 井上 聡

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

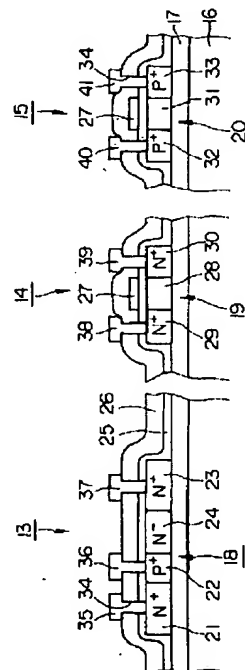
(74) 代理人 弁理士 志賀 正武 (外2名)

(54) 【発明の名称】 薄膜トランジスタとそれを用いた半導体集積回路および液晶表示装置ならびに薄膜トランジスタの製造方法

(57) 【要約】

【課題】 大きな占有面積を必要とすることなく、十分な電流駆動能力が得られる薄膜トランジスタを提供する。

【解決手段】 ガラス基板16上に、シリコン酸化膜からなる下地絶縁膜17、多結晶シリコン薄膜18、19、20が順次形成されている。そして、バイポーラTFT13の部分では、多結晶シリコン薄膜18にN型エミッタ領域21、P型ベース領域22、N型コレクタ領域23が横方向に並ぶように形成されており、NPN型のバイポーラトランジスタを構成している。また、ベース領域22とコレクタ領域23の間には、コレクタ領域23よりも低濃度のN⁻領域24が形成されている。



【特許請求の範囲】

【請求項1】 基板上のシリコン薄膜に、第1導電型からなるエミッタ領域と、前記第1導電型と反対の導電型からなるベース領域と、前記第1導電型からなるコレクタ領域が、横方向に隣接して形成されたバイポーラ型であることを特徴とする薄膜トランジスタ。

【請求項2】 請求項1に記載の薄膜トランジスタにおいて、前記エミッタ領域と前記ベース領域との間および前記コレクタ領域と前記ベース領域との間に、導電型を持たない領域が形成されたことを特徴とする薄膜トランジスタ。

【請求項3】 請求項1または2に記載の薄膜トランジスタにおいて、前記シリコン薄膜が多結晶シリコン薄膜であることを特徴とする薄膜トランジスタ。

【請求項4】 請求項3に記載の薄膜トランジスタにおいて、低温プロセスによって作成されたものであることを特徴とする薄膜トランジスタ。

【請求項5】 請求項1ないし4のいずれかに記載のバイポーラ型の薄膜トランジスタが用いられたことを特徴とする半導体集積回路。

【請求項6】 請求項1ないし4のいずれかに記載のバイポーラ型の薄膜トランジスタが用いられたことを特徴とする液晶表示装置。

【請求項7】 請求項1ないし4のいずれかに記載のバイポーラ型の薄膜トランジスタと、Nch薄膜トランジスタおよびPch薄膜トランジスタを合わせ持つ相補型薄膜トランジスタ、の双方が用いられたことを特徴とする液晶表示装置。

【請求項8】 請求項7に記載の液晶表示装置において、ドライバ回路が内蔵されたことを特徴とする液晶表示装置。

【請求項9】 請求項8に記載の液晶表示装置において、前記バイポーラ型の薄膜トランジスタが前記ドライバ回路のアナログスイッチとして用いられたことを特徴とする液晶表示装置。

【請求項10】 請求項8に記載の液晶表示装置において、前記バイポーラ型の薄膜トランジスタが前記ドライバ回路に用いられ、前記Nch薄膜トランジスタ、Pch薄膜トランジスタのいずれか一方が画素トランジスタとして用いられたことを特徴とする液晶表示装置。

【請求項11】 請求項1ないし4のいずれかに記載のバイポーラ型の薄膜トランジスタがアンプに用いられたことを特徴とする液晶表示装置。

【請求項12】 請求項11に記載の液晶表示装置にお

いて、

ドライバ回路が内蔵されたことを特徴とする液晶表示装置。

【請求項13】 請求項1ないし4のいずれかに記載のバイポーラ型の薄膜トランジスタと、Nch薄膜トランジスタおよびPch薄膜トランジスタを合わせ持つ相補型薄膜トランジスタ、の双方が用いられた液晶表示装置におけるバイポーラ型の薄膜トランジスタの製造方法であって、

前記バイポーラ型の薄膜トランジスタのエミッタ領域およびコレクタ領域を、前記相補型薄膜トランジスタにおけるこれらエミッタ、コレクタ領域と同じ導電型のソース、ドレイン領域と同時に形成し、前記バイポーラ型の薄膜トランジスタのベース領域を、前記相補型薄膜トランジスタにおける該ベース領域と同じ導電型のソース、ドレイン領域と同時に形成することを特徴とする薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタとそれを用いた半導体集積回路、液晶表示装置、および薄膜トランジスタの製造方法に関し、特に、高い電流駆動能力を持つバイポーラ型の薄膜トランジスタの構造に関するものである。

【0002】

【従来の技術】例えば、450℃以下といった低いプロセス温度で形成可能な多結晶シリコン薄膜トランジスタ（polycrystalline Silicon Thin Film Transistor、以下、poly-Si TFTと記す）、いわゆる「低温プロセス poly-Si TFT」は、大型ガラス基板上にドライバを内蔵した高精細液晶ディスプレイを形成することのできる素子として注目されている。

【0003】図6は従来のpoly-Si TFTの一例を示すものであり、ソース、ドレイン領域を形成するpoly-Si薄膜が下側、ゲート電極が上側に位置するトップゲート型TFTを示している。また、このpoly-Si TFTはNch-TFTの例である。図6(a)、(b)に示すように、ガラス基板1上にシリコン酸化膜からなるバッファ層2が形成され、その上にpoly-Si薄膜3が形成されている。さらに、poly-Si薄膜3を覆うシリコン酸化膜からなるゲート絶縁膜4が形成され、アルミニウム(A1)膜等からなるゲート電極5が形成されている。そして、poly-Si薄膜3のうちゲート電極直下を除く部分にN型不純物導入領域であるソース領域6、ドレイン領域7が形成されている。また、シリコン酸化膜からなる層間絶縁膜8が形成されるとともに、コンタクトホール9、9が開口され、ソース電極10、ドレイン電極11が形成されている。

【0004】

【発明が解決しようとする課題】ところで、液晶ディス

プレイの回路部の、例えば、ソース線をオン／オフさせるアナログスイッチとして用いるTFETでは、電流駆動能力を大きくする必要があるので、例えばチャネル長が4〜5 μm に対してチャネル幅Wが500 μm 、場合によっては1mmというように、チャネル幅が極めて大きいTFETが用いられている。すなわち、大きな電流駆動能力が必要とされるTFETでは、チャネル幅を大きくすることが従来、考えられてきた。しかしながら、チャネル幅が大きいTFETを用いるとそれだけTFETの占有面積が大きくなるため、将来的に液晶ディスプレイの高密度化、高開口率化にそぐわないものとなってしまう。また、チャネル幅の小さいTFETでは、所望の電流駆動能力が得られないという問題があった。

【0005】本発明は、上記の課題を解決するためになされたものであって、大きな占有面積を必要とすることなく、充分な電流駆動能力が得られる薄膜トランジスタとそれを用いた半導体集積回路、液晶表示装置、および薄膜トランジスタの製造方法を提供することを目的とする。

【0006】

【課題を解決するための手段】上記の目的を達成するために、本発明の請求項1に記載の薄膜トランジスタは、基板上のシリコン薄膜に、第1導電型からなるエミッタ領域と、第1導電型と反対の導電型からなるベース領域と、第1導電型からなるコレクタ領域が、横方向に隣接して形成されたバイポーラ型であることを特徴とするものである。

【0007】また、請求項2に記載の薄膜トランジスタは、請求項1に記載の薄膜トランジスタにおいて、前記エミッタ領域と前記ベース領域との間および前記コレクタ領域と前記ベース領域との間に、導電型を持たない領域が形成されたことを特徴とするものである。

【0008】また、請求項3に記載の薄膜トランジスタは、請求項1または2に記載の薄膜トランジスタにおいて、前記シリコン薄膜が多結晶シリコン薄膜であることを特徴とするものである。

【0009】また、請求項4に記載の薄膜トランジスタは、請求項3に記載の薄膜トランジスタにおいて、低温プロセスによって作成されたことを特徴とするものである。

【0010】また、本発明の請求項5に記載の半導体集積回路は、請求項1ないし4のいずれかに記載のバイポーラ型の薄膜トランジスタが用いられたことを特徴とするものである。

【0011】また、本発明の請求項6に記載の液晶表示装置は、請求項1ないし4のいずれかに記載のバイポーラ型の薄膜トランジスタが用いられたことを特徴とするものである。

【0012】また、請求項7に記載の液晶表示装置は、請求項1ないし4のいずれかに記載のバイポーラ型の薄

膜トランジスタと、Nch薄膜トランジスタおよびPch薄膜トランジスタを合わせ持つ相補型薄膜トランジスタ、の双方が用いられたことを特徴とするものである。

【0013】また、請求項8に記載の液晶表示装置は、請求項7に記載の液晶表示装置において、ドライバー回路が内蔵されたことを特徴とするものである。

【0014】また、請求項9に記載の液晶表示装置は、請求項8に記載の液晶表示装置において、前記バイポーラ型の薄膜トランジスタが前記ドライバー回路のアナログスイッチとして用いられたことを特徴とするものである。

【0015】また、請求項10に記載の液晶表示装置は、請求項8に記載の液晶表示装置において、前記バイポーラ型の薄膜トランジスタが前記ドライバー回路に用いられ、前記Nch薄膜トランジスタ、Pch薄膜トランジスタのいずれか一方が画素トランジスタとして用いられたことを特徴とするものである。

【0016】また、請求項11に記載の液晶表示装置は、請求項1ないし4のいずれかに記載のバイポーラ型の薄膜トランジスタがアンプに用いられたことを特徴とするものである。

【0017】また、請求項12に記載の液晶表示装置は、請求項11に記載の液晶表示装置において、ドライバー回路が内蔵されたことを特徴とするものである。

【0018】また、請求項13に記載の薄膜トランジスタの製造方法は、請求項1ないし4のいずれかに記載のバイポーラ型の薄膜トランジスタと、Nch薄膜トランジスタおよびPch薄膜トランジスタを合わせ持つ相補型薄膜トランジスタ、の双方が用いられた液晶表示装置におけるバイポーラ型の薄膜トランジスタの製造方法であって、前記バイポーラ型の薄膜トランジスタのエミッタ領域およびコレクタ領域の形成を、前記相補型薄膜トランジスタにおけるこれらエミッタ、コレクタ領域と同じ導電型のソース、ドレイン領域の形成と同時に、前記バイポーラ型の薄膜トランジスタのベース領域の形成を、前記相補型薄膜トランジスタにおける該ベース領域と同じ導電型のソース、ドレイン領域の形成と同時に行うことを特徴とするものである。

【0019】本発明は、薄膜トランジスタでバイポーラトランジスタを構成することによりバイポーラトランジスタ固有の特長である高い電流駆動能力を得ようとするものである。さらに、バイポーラトランジスタの形態を縦型ではなく、横型とすることによってCMOSTランジスタと同時に形成できる、という製法上の利点も得ることができる。

【0020】

【発明の実施の形態】以下、本発明の一実施の形態を図1〜図4を参照して説明する。本実施の形態は、バイポーラ型薄膜トランジスタ（以下、バイポーラTFETと記す）とNch、Pch薄膜トランジスタ（以下、それぞ

れNch-TFT、Pch-TFTと記す)を合わせ持つ相補型(CMOS型)薄膜トランジスタ(以下、CMOS-TFTと記す)を有する液晶表示装置である。そして、図1はバイポーラTFT13と、Nch-TFT14、Pch-TFT15の構成をそれぞれ示す図である。なお、このバイポーラ型薄膜トランジスタ13はNPN型トランジスタの例である。

【0021】図1に示すように、ガラス基板16(基板)上に、シリコン酸化膜からなる下地絶縁膜17、多結晶シリコン薄膜18、19、20(シリコン薄膜)が順次形成されている。そして、バイポーラTFT13側では、多結晶シリコン薄膜18に、N型(第1導電型)のエミッタ領域21と、P型(第1導電型と反対の導電型)のベース領域22と、N型(第1導電型)のコレクタ領域23が、横方向に並ぶように形成されており、NPN型のバイポーラトランジスタを構成している。また、ベース領域22とコレクタ領域23の間には、コレクタ領域23よりも低濃度のN⁺領域24が形成されている。このN⁺領域24は、エミッタ領域21からベース領域22への少数キャリアの注入効率を上げ、かつベース領域22〜コレクタ領域23間の接合容量を小さくするためのものである。また、多結晶シリコン薄膜18が、後述するCMOS-TFTのゲート絶縁膜25および層間絶縁膜26で覆われている。

【0022】一方、CMOS-TFT側では、多結晶シリコン薄膜19、20上に、ゲート絶縁膜25を介してゲート電極27が形成されている。そして、Nch-TFT14の部分では、ゲート電極27下のチャネル領域28を挟むN型ソース領域29およびN型ドレイン領域30が形成され、Pch-TFT15の部分では、チャネル領域31を挟むP型ソース領域32およびP型ドレイン領域33が形成されている。また、ゲート絶縁膜25およびゲート電極27上にシリコン酸化膜からなる層間絶縁膜26が形成されている。

【0023】そして、バイポーラTFT13、Nch-TFT14、Pch-TFT15のそれぞれに、層間絶縁膜26、ゲート絶縁膜25を貫通してエミッタ領域21、ベース領域22、コレクタ領域23、ソース領域29、32、ドレイン領域30、33に通じるコンタクトホール34、34、…が開口され、各コンタクトホール34上にエミッタ電極35、ベース電極36、コレクタ電極37、ソース電極38、40、ドレイン電極39、41が形成されている。

【0024】次に、上記構成の薄膜トランジスタの製造方法を図2、図3を用いて説明する。本実施の形態では、バイポーラTFTのエミッタ、コレクタ領域をNch-TFTのソース、ドレイン領域と同時に形成し、バイポーラTFTのベース領域をPch-TFTのソース、ドレイン領域と同時に形成する例について説明する。なお、以下に述べる製造方法は、例えばゲート絶縁

膜の形成に熱酸化法ではなくCVD法を用いるものであって、プロセス全体を通して450℃以下の低いプロセス温度で製造するものである。これにより、基板材料としてガラスを用いることができる。

【0025】まず、図2(a)に示すように、ガラス基板16上の全面に、低圧CVD(Low Pressure CVD、以下、LPCVDと記す)法またはプラズマCVD(Plasma Enhanced CVD、以下、PECVDと記す)法を用いて膜厚200nm程度のシリコン酸化膜を形成し、下地絶縁膜17とする。次に、下地絶縁膜17上の全面に、ジシラン(Si₂H₆)あるいはモノシラン(SiH₄)を原料としたLPCVD法またはPECVD法を用いて膜厚50nm程度の多結晶シリコン薄膜を形成した後、XeCl等のエキシマレーザーアニールを行なう。そして、周知のフォトリソグラフィ・エッチング技術を用いてパターニングを行ない、多結晶シリコン薄膜18、19、20とする。

【0026】次に、図2(b)に示すように、ECR-CVD(Electron Cyclotron Resonance Chemical Vapor Deposition)法を用いて膜厚120nm程度のシリコン酸化膜からなるゲート絶縁膜25を形成する。そして、スパッタ法により膜厚600〜800nm程度のタンタル膜を全面に堆積させ、これをパターニングすることにより、Nch-TFT14、Pch-TFT15形成領域の多結晶シリコン薄膜19、20上にゲート電極27、27を形成する。

【0027】次に、図3(c)に示すように、バイポーラTFT13形成領域のうちのベース形成領域とPch-TFT15形成領域の全てが開口するフォトレジストパターン42を形成した後、B₂H₆/H₂を用いたイオンドーピングを行なうことによって、バイポーラTFT13のベース領域22とPch-TFT15のソース、ドレイン領域32、33を同時に形成する。なお、イオンドーピング時のドーズ量は、例えば1〜10×10¹⁵ atoms/cm²程度とする。

【0028】次に、前工程で用いたフォトレジストパターン42を除去した後、図3(d)に示すように、バイポーラTFT13形成領域のうちのN⁺形成領域のみが開口するフォトレジストパターン43を形成し、これをマスクとしてPH₃/H₂を用いたイオンドーピングを行なうことによって、バイポーラTFT13のN⁺領域24を形成する。また、イオンドーピング時のドーズ量は、例えば1〜10×10¹³ atoms/cm²程度とする。

【0029】次に、前工程で用いたフォトレジストパターン43を除去した後、図3(e)に示すように、バイポーラTFT13形成領域のうちのエミッタおよびコレクタ形成領域とNch-TFT14形成領域の全てが開口するフォトレジストパターン44を形成し、これをマスクとしてPH₃/H₂を用いたイオンドーピングを行なうことにより、バイポーラTFT13のエミッタ領域2

1およびコレクタ領域23とNch-TFT14のソース領域29およびドレイン領域30を同時に形成する。また、イオンドーピング時のドーズ量は、例えば $1 \sim 10 \times 10^{15}$ atoms/cm²程度とする。ついで、300℃、2時間のN₂アニールを行なう。

【0030】以降は図示を省略するが、フォトレジストパターン44を除去した後、CVD法により膜厚500nm程度のシリコン酸化膜からなる層間絶縁膜を形成する。最後に、層間絶縁膜を貫通してバイポーラTFTのエミッタ領域、ベース領域、コレクタ領域、Nch-TFT、Pch-TFTのソース領域、ドレイン領域に通じるコンタクトホールを開口した後、全面にAl-Si-Cu膜を堆積させ、これをパターニングすることにより、エミッタ電極、ベース電極、コレクタ電極、ソース電極、ドレイン電極をそれぞれ形成する。

【0031】図4は液晶表示装置45の構成を示すブロック図である。この図に示すように、この液晶表示装置45はドライバー回路を内蔵したものであり、ソース線ドライバー回路46、ゲート線ドライバー回路47、画素マトリクス48の各部分から構成されている。ソース線ドライバー回路46は、シフトレジスタ49、ビデオ信号バス50a、50b、50c、アナログスイッチ51a、51b、51c等を有し、また、ゲート線ドライバー回路47は、シフトレジスタ52、バッファ53等を有している。一方、画素マトリクス48は各画素54がマトリクス状に配列されたものであり、各画素54は画素トランジスタ55、液晶セル56、対向電極57で構成されている。そして、ソース線ドライバー回路46から画素マトリクス48の各画素トランジスタ55に対してソース線58a、58b、58cが延在し、ゲート線ドライバー回路47から画素マトリクス48の各画素トランジスタ55に対してゲート線59a、59bが延在している。

【0032】そして、上記ドライバー回路46、47は、上述したバイポーラTFT13とCMOS-TFTを組み合わせた、いわゆるBi-CMOS構成となっている。また、その中でも、アナログスイッチ51a、51b、51cにはバイポーラTFT13が用いられている。一方、画素マトリクス48を構成する画素トランジスタ55にはNch-TFTが用いられている。

【0033】本実施の形態の液晶表示装置は、アナログスイッチ51a、51b、51cにバイポーラTFTが用いられるとともに、ドライバー回路46、47がBi-CMOS構成となっているため、CMOS-TFTのみを用いた従来の液晶表示装置の回路部に比べて、電流駆動能力が向上するとともに、動作速度を速めることができる。また、従来のように電流駆動能力向上のためにチャネル幅を広げるといった必要もないため、トランジスタが大きな占有面積を必要とすることもなく、液晶表示装置の高密度化、高開口率化を図ることができる。

【0034】しかも、バイポーラTFTの構造は、エミッタ領域、ベース領域、コレクタ領域が多結晶シリコン薄膜の横方向に並ぶ、いわゆる横型バイポーラ薄膜トランジスタである。したがって、製造方法のところで説明したように、バイポーラTFTのエミッタ、ベース、コレクタ領域をCMOS-TFTのソース、ドレイン領域と同時に形成することができる。そのため、製造工程を特に複雑にすることなく、バイポーラTFTを形成することができる。

【0035】なお、本発明の技術範囲は上記実施の形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲において種々の変更を加えることが可能である。例えば本実施の形態では、バイポーラTFT13を、N型エミッタ領域21、P型ベース領域22、N⁻領域24、N型コレクタ領域23からなる構成としたが、この構成に加えて、図5に示すように、多結晶シリコンにおけるPN接合のレベルを高めるために、N型エミッタ領域21とP型ベース領域22の間およびP型ベース領域22とN⁻領域24の間に導電型を持たないI型領域60、60を設けてもよい。

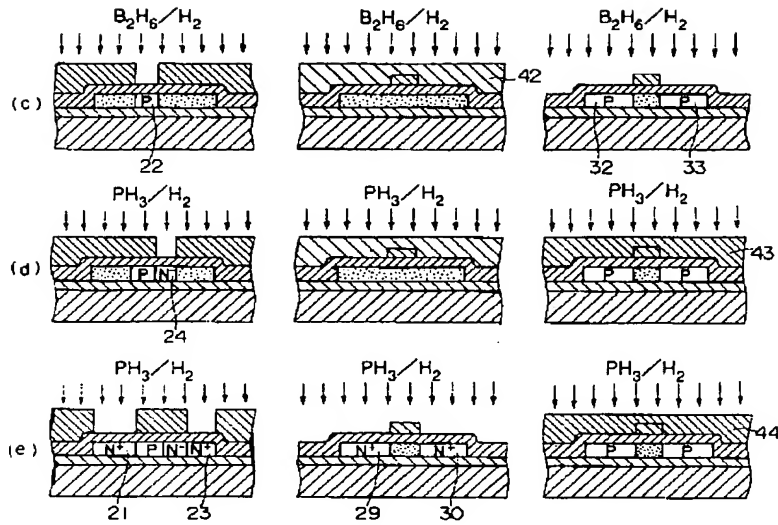
【0036】また、上記実施の形態では、バイポーラTFTをNPN型トランジスタとしたが、PNP型トランジスタとしてもよい。また、液晶表示装置として、バイポーラTFTをドライバー回路に適用する例を示したが、ドライバー回路だけでなく、例えば電源回路内のアンプ等に適用してもよい。その場合、電流供給能力の高いアンプを実現することができる。

【0037】また、製造方法のところで述べた各種膜の膜厚やイオンドーピング時のドーズ量等の具体的な数値に関しては、ほんの一例にすぎず、適宜変更が可能なのは勿論である。さらに、本発明の横型バイポーラ薄膜トランジスタを任意の半導体集積回路に適用することが可能である。

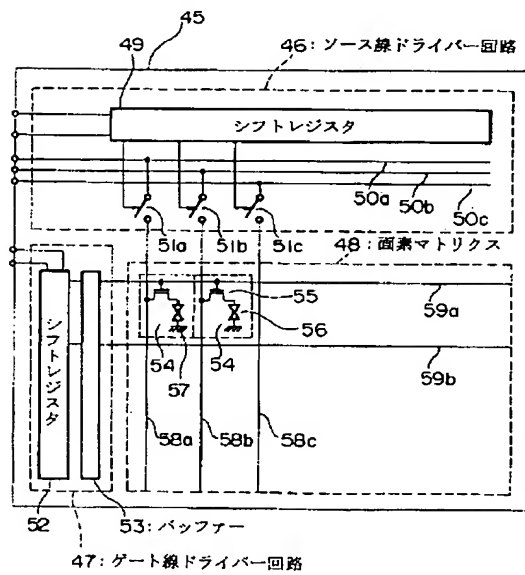
【0038】

【発明の効果】以上、詳細に説明したように、本発明の薄膜トランジスタは、エミッタ領域、ベース領域、コレクタ領域がシリコン薄膜の横方向に並んだ横型バイポーラ薄膜トランジスタである。そこで、この横型バイポーラ薄膜トランジスタをドライバー回路やアナログスイッチ、あるいはアンプ等を含む液晶表示装置の回路部に用いることによって、従来の液晶表示装置の回路部に比べて、電流駆動能力が向上するとともに、動作速度を速めることができる。また、電流駆動能力向上のためにチャネル幅を広げる必要がないため、トランジスタが大きな占有面積を必要とすることもなく、液晶表示装置の高密度化、高開口率化を図ることができる。また、薄膜トランジスタが横型バイポーラ薄膜トランジスタであり、エミッタ、ベース、コレクタ領域をCMOS型薄膜トランジスタのソース、ドレイン領域と同時に形成することができるため、製造工程を特に複雑にすることなく、バイ

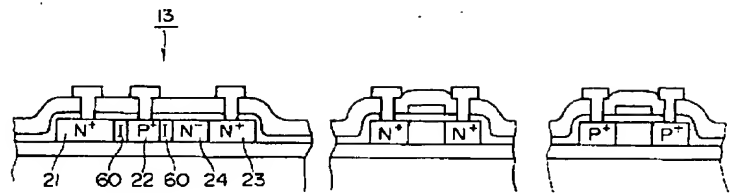
【図3】



【図4】



【図5】



【図6】

